

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-85510

(43)公開日 平成 6 年(1994) 3 月25日

(51)Int.Cl.⁵

H 0 1 P 3/08

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 6 頁)

(21)出願番号 特願平4-77400

(22)出願日 平成 4 年(1992) 3 月31日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町 2 丁目 9 番32号

(72)発明者 源馬 宏一郎

東京都武蔵野市中町 2 丁目 9 番32号 横河

電機株式会社内

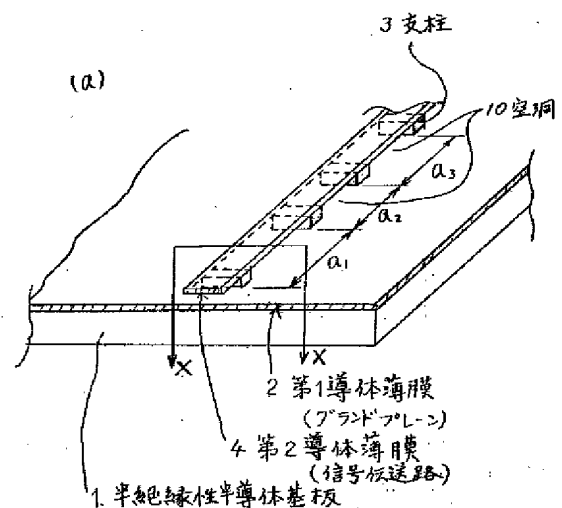
(74)代理人 弁理士 小沢 信助

(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 高周波信号或いは高速パルス信号の伝送について高速な伝播速度と低損失を実現するとともに、同一の設備を用いて同一基板上に平面キャパシタや平面インダクタ、高周波整合回路、分岐回路等の両平面回路、更には抵抗網等を一括形成することが可能なMCM（マルチチップモジュール）を提供する。

【構成】 半絶縁性半導体基板 1 上に形成した第 1 導体薄膜（グラウンドプレーン）2 と、該第 1 薄膜にピッチの異なる窓開けを行い、その窓に形成された絶縁支柱 3 と、該支柱により空中に支持された第 2 導体薄膜（信号伝送路）4 とによりマイクロストリップラインを形成し、同時に複数の受動素子を形成すると共に、これらを相互結線した。



【特許請求の範囲】

【請求項1】 半絶縁性半導体基板上に形成した第1導体薄膜（グランドプレーン）と、該第1薄膜にピッチの異なる窓開けを行い、その窓に形成された絶縁支柱と、該支柱により空中に支持された第2導体薄膜（信号伝送路）とによりマイクロストリップラインを形成し、同時に複数の受動素子を形成すると共に、これらを相互結線したことを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板を使用したストリップラインの配線及び受動回路網を一括形成したマルチチップモジュール（MCM）に関し、更に詳しくはRF回路や高速デジタル回路に用いて好適なMCMに関する。

【0002】

【従来の技術】従来MCMとしては次のものが知られている。

A）セラミックス基板（例えば Al_2O_3 ）の裏面に導体（グランドプレーン）を形成するとともに表面に配線回路を形成し、この配線回路側に半導体チップを搭載してワイヤボンダ等により結線を行うもの。この場合基板としてはインピーダンス（ Z_0 ）を50オームとした場合、(1)厚さ0.653mm、線幅0.64mm程度としたものや、(2)基板厚さを0.25mm、線幅0.25mm程度のものが用いられる。

【0003】B）グランドプレーンとして機能する電気導電性がよく伝熱性のよい金属（例えばCuやAl）を基板として用い、この基板上に有機（例えばポリイミド）薄膜を形成し、更に、この薄膜上に導体パターンを形成し各種受動素子や半導体チップを搭載してワイヤボンダにより結線を行うもの。

C）半導体基板（例えばSiやGaAsウエハ）上に1 μ m程度の厚さの SiO_2 を形成し、その SiO_2 上に信号伝送路からなる配線回路パターンを形成するもので、配線パターンの幅は10 μ m厚さは2 μ m程度に形成し半導体チップを搭載してワイヤボンダにより結線を行うもの。

【0004】

【発明が解決しようとする課題】上記従来のAで述べたMCMのうち(1)のものが多く用いられるが、線幅が大きいため全体を小形化するには難しいという問題がある。正弦波で10GHz前後かこれ以上の動作周波数の動作場合、マイクロストリップラインでの電界の閉じ込め効果が不十分となり放射損が大きくなるという問題がある。従って放射損を低下させるために(2)のように基板の厚さを薄くして用いられる。この場合、線幅が狭いので(1)のものに比較すれば小形化が可能であるが、例えば高周波トランジスタの寸法（0.5mm平方）に比べれば十分小さいとは言えず、また、基板が薄いので機

械的強度が不足し破損し易いという問題があり、狭い線幅を形成するためには高度の加工設備と高い熟練度が要求されるという問題がある。

【0005】次にBで述べたMCMは発熱の大きな回路の実装には適しているが、製造工程が複雑となり、製造設備等の面でも一般的でないので量産効果が得られにくくコスト高になる。また、半導体チップと金属との熱膨張係数を合わせるのが困難で、繰返し熱ストレスによる信頼性の低下を完全に防止するのが難しいという問題がある。

【0006】次にCで述べたMCMは量産性にすぐれた半導体製造設備及び製造方法を用いることができるので、微細な配線パターンを形成することができ、小形化が可能となる。更に半導体チップと同一の基板材料を使用すれば熱ストレスの問題も防止することができる。しかしながら、単一の配線層のみの場合RF帯域の高周波や高速デジタル回路の信号伝送を行う場合は高品質の伝送ができない。この問題を解決する手段として半導体基板上に第1導体を形成し、この第1導体上に SiO_2 等により絶縁体を形成し、更にこの絶縁体上に配線を施しマイクロストリップラインを構成する方法が考えられる。

【0007】しかしながら、このような構成においては絶縁体として SiO_2 膜を用いた場合、比誘電率（ ϵ_r ）は4.55となる。従って信号伝播速度は絶縁体がない場合に比べ $1/\epsilon_r^{1/2}$ に比例して低下する。また、高周波或いは高速パルス伝送路としての損失が大きく伝送性能に限界がある。更に同一基板上に平面キャパシタや平面インダクタ等を形成した場合グランドプレーン間の容量により理想的特性が得られないという問題がある。

【0008】本発明は上記従来技術の課題を解決する為になされたもので、MCMを形成する基板として半絶縁性半導体基板を用い、高周波信号或いは高速パルス信号の伝送について高速な伝播速度と低損失を実現するとともに、同一の設備を用いて同一基板上に平面キャパシタや平面インダクタ、高周波整合回路、分岐回路等の両平面回路、更には抵抗網等を一括形成することが可能なMCMを実現することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決する為に本発明は、半絶縁性半導体基板上に形成した第1導体薄膜（グランドプレーン）と、該第1薄膜にピッチの異なる窓開けを行い、その窓に形成された絶縁支柱と、該支柱により空中に支持された第2導体薄膜（信号伝送路）とによりマイクロストリップラインを形成し、同時に複数の受動素子を形成すると共に、これらを相互結線したことを特徴とするものである。

【0010】

【作用】信号伝送路が絶縁支柱により空中に支えられているため、マイクロストリップラインにとっての誘電体

は主として空気となる。その結果誘電体損が極めて小さくなる。また、支柱のピッチを異ならせているので特定の周波数での好ましくない特性の劣化を防止することができる。同様にキャパシタに関しても電極間の誘電体が空気なので誘電体損が極めて小さくなる。

【0011】

【実施例】図1は本発明のMCMの一実施例を示すものでストリップライン部を示す構成斜視図(a)および(a)図のX-X部分断面図構成図である。図において1はシリコンやGaAs等からなる半絶縁性基板であり、2は基板1上に形成されたAl, Au等の第1導体薄膜(グランドプレーン)である。3はSiO₂やSi₃N₄で形成した支柱であり、支柱と支柱の間は空洞10となっている。この支柱3に支えられてAl, Au等によりストリップラインを構成する第2導体薄膜4が形成されている。なお、前記支柱の間隔a₁, a₂, a₃は異なるピッチで形成され、信号伝送路の幅bは例えば25μm、厚さt₁は例えば2μm程度に形成されている。また、グランドプレーンとの間隔t₂は例えば5μm程度に形成されている。

【0012】図2(a)~(h)は上記ストリップラインの概略製造工程を示す断面工程図である。工程に従って説明する。

工程(a)

基板1の主面上に蒸着等により2μm程度の厚さにグランドプレーンとなる第1導体薄膜(例えばAlやAu)2を形成する。

工程(b)

第1導体薄膜2の上に第1レジスト7aを形成し、支柱を形成すべき部分のパターニングを行って部分的(8で示す部分)の第1導体薄膜2を露出させる。なお、露出させる部分のピッチa₀, a₁, a₂, a₃は異なるように形成する。

【0013】工程(c)

レジスト7aをマスクとして工程(b)で露出させた部分8の第1導体薄膜2のエッチングを行った後、第1レジスト7aを除去する。

工程(d)

エッチング部を含む第1導体薄膜2の上にSiO₂, Si₃N₄, ポリイミド膜等の絶縁膜3aを形成する。

工程(e)

絶縁膜3aの上にレジスト7bを形成し、支柱を形成すべき部分のレジスト7bを残してレジスト7bを除去する、次に残したレジスト7bをマスクとして絶縁膜3aを除去し、支柱3を形成する。

【0014】工程(f)

支柱3の上のマスク7bを除去し、支柱3を含む基板上に新たにレジスト7cを支柱3を覆う程度(点線で示す部分)に形成して表面を平坦化し、例えば反応性イオンエッチングを用いて垂直方向からエッチングを行い、支

柱3の頭出しを行う。

工程(g)

支柱3を含む基板上に第2導体薄膜4を2μm程度の厚さに形成し、更にレジスト(図示せず)を形成して信号伝送路4とすべき部分のパターニングを行う。なお、信号伝送路4の幅は可能な限り狭くしたほうが誘電体損失を少なくすることができる。しかし、ここでは一方の伝送路の中でその幅を違えて形成することも考えられる。

【0015】工程(h)

10 レジスト7cを除去し、空洞10を形成する。上記の工程により異なった間隔で支柱により空中に支持されたストリップラインを形成することができ、このストリップラインはコンデンサと長さの異なるコイルが組み合わされたローパスフィルタとなる。図3は上記本発明のストリップラインと従来のストリップラインの伝播特性と周波数特性の関係を示すものであり、実線は従来例を点線は本発明の特性を示している。図によれば、本発明のものはカットオフ周波数(f_c)付近での周波数特性の変化がなだらかになり、帯域が広がるので高速パルスの伝送に適していることを示している。

【0016】図4はストリップラインの他の実施例を示す斜視図である。この実施例は信号伝播速度や損失があまり問題にならない場合に、絶縁層3をエッチングする際の歩留まり向上をはかったものであり、支柱3の部分を長く、空洞10の部分を短く形成したものである。

【0017】図5は基板1に形成した第1導体薄膜(グランドプレーン)4aにスリット15を形成した斜視図(a)及び(a)図のY-Y断面図である。基板1に形成したスリットに沿って支柱3aに支持されたストリップライン4を形成したもので、このような構成では特性インピーダンス(Z₀)を例えば200~300オーム程度に大きくとることができ、短距離伝送用に適している。

【0018】図6(a)は支柱3に支持されたストリップライン4の途中に平面容量20を形成した実施例を示すもので、電気回路としては(b)図に示すような片側設置の容量となる。図7(a)は支柱3に支持されたストリップライン4の途中に歯状の容量21を形成した実施例を示す要部平面図(a)、及び(a)のA-A断面図(b)である。このような構成は電気回路としては(c)図に示すように、両側非接地の容量となる。また、この実施例では容量21の下部のグランドプレーンを除去しているので、(d)図に示すようにコンデンサ付近の浮遊容量C_gを小さくすることができる。

【0019】図8は支柱3に支持されたストリップライン4の途中にインダクタンスを形成した例を示し、(a)図はアメンダ形、(b)図はスパイラル形と呼ばれるものである。この例においてもインダクタンス22, 22'の下部のグランドプレーンを除去しているので、図7(c)に示すようにコンデンサ付近の浮遊容量

5

Cgを小さくすることができる。なお、スパイラル形のイとロ部は絶縁膜30の下面で電氣的に接合されている。図9は両平面（ダブルサイド）マイクロ波回路を構成した例を示す要部斜視図であり、1/4波長直列分岐回路を示している。図10はRF回路に支柱3により支持されたスタブ23を用いて整合回路を構成した例を示すもので、インピーダンスZrとマッチングしない受信回路との整合回路をパターン化して実現することができる。

【0020】図11は支柱3に支持されたストリップライン4の途中にコレクタ接地のトランジスタ24をボンディングワイヤ25によりマウントした状態を示す断面構成図である（コレクタ接地でない場合は取り付け部分のグランドプレーンを除去する）。この様に構成することにより容量結合をおさえつつ、熱伝導を確保できる利点がある。この他ダイオードチップ、MMIC（マイクロウェーブ・モノリシックIC）、ロジック回路IC等の部品を取りつける場合も、ストリップライン4との接続はワイヤボンディング、チップキャリア、フェースダウン、ビームリードボンディング等の方法により行うことができる。

【0021】図12は支柱3に支持されたストリップライン4の途中に抵抗薄膜（例えばNi-Cr, Wなど）26を形成した例を示すもので（a）図は要部平面図、（b）図は断面図である。このような構成の高抵抗薄膜26は、ストリップライン4を形成する工程の途中で作り込むことができる。図13は支柱3に支持されたストリップライン4の途中に抵抗やコンデンサ27等のチップ部品を直接半田付等により形成した例を示す要部平面図（a）及び断面図（b）である。

【0022】図14はストリップライン4を2重に形成した例を示すもので、（a）図は、一層目に強度の高いタングステンを用い2層目にAl薄膜を形成したものでこのような構成によれば支柱の間隔を広げることが可能となる。（b）図は一層目にAlを2層目に電気伝導度の高いAuを形成したもので、この構成のものは導体損失を低下させることができる。

【0023】図15（a）、（b）はストリップライン4をグランドプレーン2を挟んで形成した例を示す要部断面図である。このような構成のものは図2に示す製作工程を変形させたり繰り返すことにより作製可能である。（a）図に示すものは最上部のストリップラインは低損失／高速伝送路として使用し、最下層のストリップライン4aは速度や損失が問題とならない信号配線として使用する。（b）図に示すものは上部のストリップライン4、4aを接続した状態を示すものでグランドプレーン2及び絶縁層の穴開けを行って導体を埋め込むことにより接続可能である。

【0024】

【発明の効果】以上実施例とともに具体的に説明した様

6

に、本発明のMCMによれば半導体基板上に第1導体薄膜を形成し、この第1薄膜上にピッチの異なる絶縁支柱を形成し、その支柱により空中に支持されたマイクロストリップラインや複数の受動素子を形成すると共に、これらを相互結線したので、高周波信号或いは高速パルス信号の伝送について高速な伝播速度と低損失を実現することができ、同一の設備を用いて同一基板上に平面キャパシタや平面インダクタ、高周波整合回路、分岐回路等の両平面回路、更には抵抗網等を一括形成することが可能なMCMを実現することができる。

【図面の簡単な説明】

【図1】本発明のMCMの一実施例を示すもので（a）はストリップライン部を示す要部構成斜視図、（b）は（a）図のX-X部分断面図構成図である。

【図2】ストリップラインの概略製造工程を示す断面工程図である。

【図3】本発明のストリップラインと従来のストリップラインの伝播特性と周波数特性の関係を示す図である。

【図4】ストリップラインの他の実施例を示す斜視図である。

【図5】基板に形成した第1導体薄膜にスリットを形成した斜視図（a）及び（a）図のY-Y断面図である。

【図6】ストリップラインの途中に平面容量を形成した実施例を示す図である。

【図7】支柱に支持されたストリップラインの途中に櫛歯状の容量を形成した実施例を示す要部平面図（a）、（a）のA-A断面図（b）、電気回路（c）、浮遊容量Cgの状態を示す図（d）である。

【図8】支柱に支持されたストリップラインの途中にインダクタンスを形成した例を示し、（a）図はアメンダ形、（b）図はスパイラル形である。

【図9】支柱に支持されたストリップラインの途中に両平面（ダブルサイド）マイクロ波回路を構成した例を示す要部斜視図である。

【図10】RF回路に支柱により支持されたスタブを用いて整合回路を構成した例を示す要部斜視図である。

【図11】支柱に支持されたストリップラインの途中にコレクタ接地のトランジスタをボンディングワイヤによりマウントした状態を示す断面構成図である

【図12】支柱に支持されたストリップラインの途中に高抵抗薄膜を形成した例を示す要部平面図（a）及び断面図（b）である。

【図13】支柱に支持されたストリップラインの途中に抵抗やコンデンサ等のチップ部品を直接半田付等により形成した例を示す要部平面図（a）及び断面図（b）である。

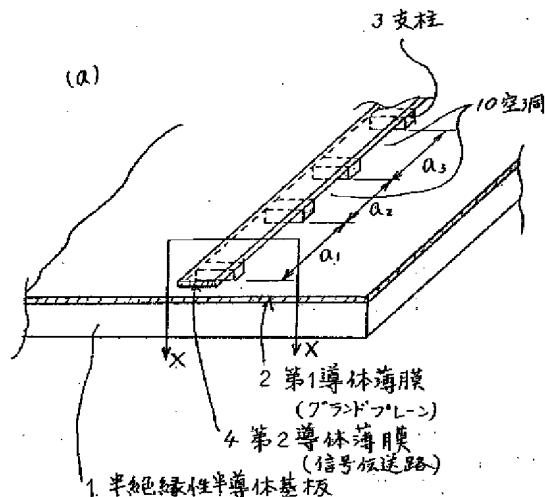
【図14】ストリップラインを2重に形成した例を示す図である。

【図15】ストリップラインをグランドプレーンを挟んで形成した例を示す断面図である。

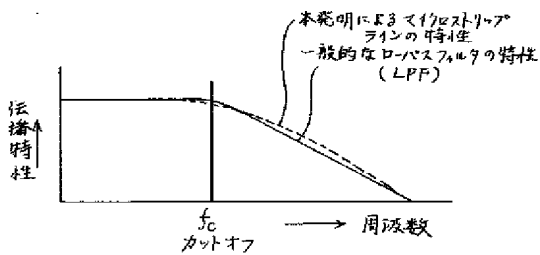
【符号の説明】

- | | | | |
|----|-------------------|---------|-----------|
| 1 | 半絶縁性半導体基板 | 20, 21 | 容量 |
| 2 | 第1導体薄膜 (グランドプレーン) | 22, 22' | インダクタンス |
| 3 | 支柱 | 23 | スタブ |
| 4 | 第2導体薄膜 (信号伝送路) | 24 | トランジスタ |
| 10 | 空洞 | 25 | ボンディングワイヤ |
| 15 | スリット | 26 | 抵抗薄膜 |
| | | 27 | チップ部品 |

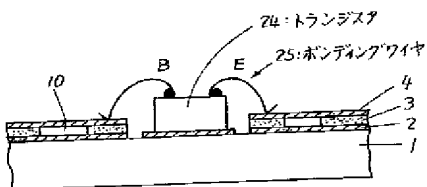
【図1】



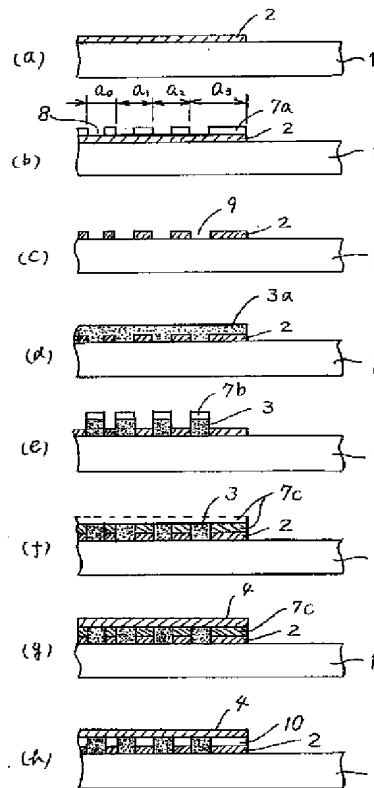
【図3】



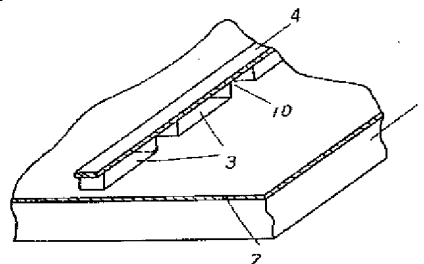
【図11】



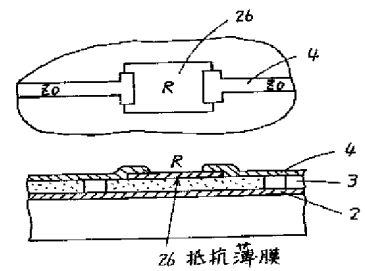
【図2】



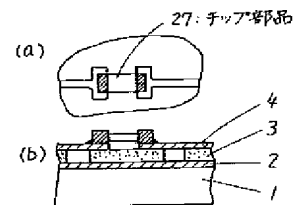
【図4】



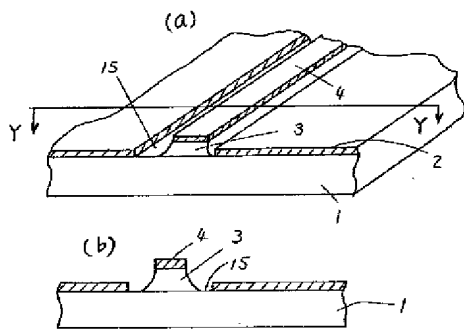
【図12】



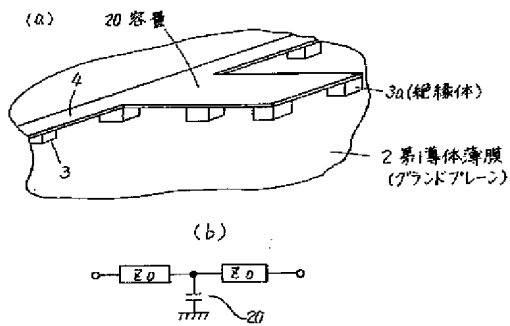
【図13】



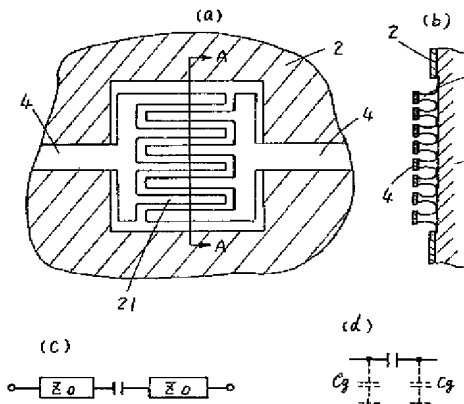
【図5】



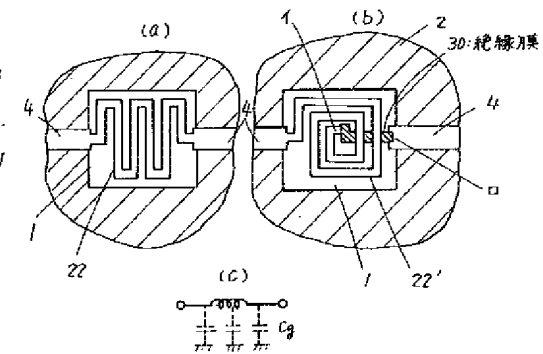
【図6】



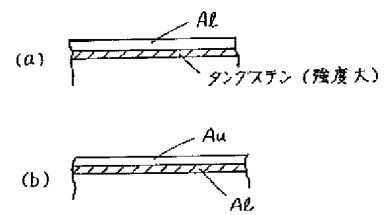
【図7】



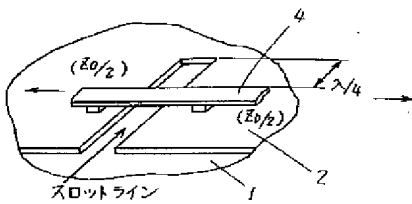
【図8】



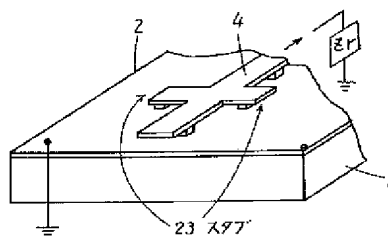
【図14】



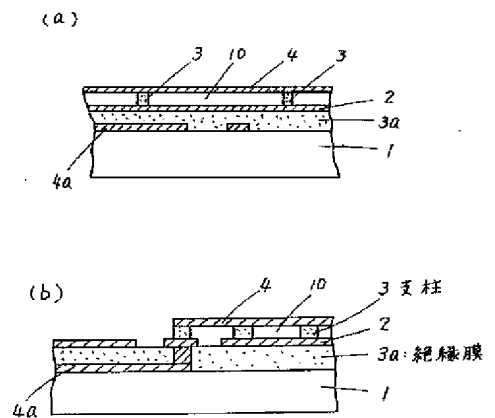
【図9】



【図10】



【図15】



PAT-NO: JP406085510A
DOCUMENT-IDENTIFIER: JP 06085510 A
TITLE: MULTI-CHIP MODULE
PUBN-DATE: March 25, 1994

INVENTOR-INFORMATION:

NAME	COUNTRY
GENMA, KOICHIRO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
YOKOGAWA ELECTRIC CORP	N/A

APPL-NO: JP04077400
APPL-DATE: March 31, 1992

INT-CL (IPC): H01P003/08

US-CL-CURRENT: 333/238

ABSTRACT:

PURPOSE: To provide a multi-chip module (MCM) which can provide high propagation speed and low loss concerning the transmission of high frequency signals or high-speed pulse signals and can integrally form a both-plane circuit such as a plane capacitor, plane inductor, high frequency matching circuit or branching circuit as well as a resistance network on the same substrate by using the same facility.

CONSTITUTION: A microstrip line is formed by a first conductor thin film (ground plane) 2 formed on a semi-insulated semiconductor substrate 1, insulated pillar 3 formed on windows by opening those windows of different pitches on the first thin film, and second conductor thin film (signal transmission line) 4 supported in the air by the pillar 3, at the same time, plural passive elements are formed, and these elements are mutually connected.

COPYRIGHT: (C)1994,JPO&Japio